

Takt-Receiver-Schaltungsanordnung, insbesondere für Halbleiter-Bauelemente

5

Die Erfindung betrifft eine Receiver-, insbesondere Takt-Receiver-Schaltungsanordnung gemäß Oberbegriff des Anspruchs 1, sowie ein Halbleiter-Bauelement mit einer derartigen Schaltungsanordnung.

10

Bei Halbleiter-Bauelementen, insbesondere bei Speicherbauelementen wie - z.B. auf CMOS-Technologie beruhenden - DRAMs (DRAM = Dynamic Random Access Memory bzw. dynamischer Schreib-Lese-Speicher) werden - zur zeitlichen Koordination der Verarbeitung bzw. Weiterschaltung der Daten - sog. Taktsignale verwendet.

15

Bei herkömmlichen Halbleiter-Bauelementen wird dabei i.A. ein - auf einer Einzel-Leitung anliegendes - Einzel-Taktsignal eingesetzt (d.h. ein sog. „single ended“-Taktsignal).

20

Die Daten können dann z.B. jeweils bei der ansteigenden Taktflanke des Einzel-Taktsignals weitergeschaltet werden (oder alternativ z.B. jeweils bei der abfallenden Einzel-Taktsignal-Flanke).

25

Des weiteren sind im Stand der Technik bereits sog. DDR-Bauelemente, insbesondere DDR-DRAMs bekannt (DDR-DRAM = Double Data Rate - DRAM bzw. DRAM mit doppelter Datenrate).

30

Bei DDR-Bauelementen werden - statt eines einzelnen, auf einer Einzel-Leitung anliegenden Taktsignals („single ended“-Taktsignal) - zwei auf zwei getrennten Leitungen anliegende, differentielle, gegengleich-inverse Taktsignale verwendet.

35

Immer dann, wenn z.B. das erste Taktsignal der beiden Taktsignale von einem Zustand „logisch hoch“ (z.B. einem

hohen Spannungspegel) auf einen Zustand „logisch niedrig“ (z.B. einen niedrigen Spannungspegel) wechselt, ändert das zweite Taktsignal - im wesentlichen gleichzeitig - seinen Zustand von „logisch niedrig“ auf „logisch hoch“ (z.B. von einem niedrigen auf einen hohen Spannungspegel).

Umgekehrt ändert immer dann, wenn das erste Taktsignal von einem Zustand „logisch niedrig“ (z.B. einem niedrigen Spannungspegel) auf einen Zustand „logisch hoch“ (z.B. einen hohen Spannungspegel) wechselt, das zweite Taktsignal (wiederum im wesentlichen gleichzeitig) seinen Zustand von „logisch hoch“ auf „logisch niedrig“ (z.B. von einem hohen auf einen niedrigen Spannungspegel).

In DDR-Bauelementen werden die Daten i.A. sowohl bei der ansteigenden Flanke des ersten Taktsignals, als auch bei der ansteigenden Flanke des zweiten Taktsignals (bzw. sowohl bei der abfallenden Flanke des ersten Taktsignals, als auch bei der abfallenden Flanke des zweiten Taktsignals) weitergeschaltet.

Damit erfolgt in einem DDR-Bauelement die Weiterschaltung der Daten häufiger bzw. schneller (insbesondere doppelt so häufig, bzw. doppelt so schnell), wie bei entsprechenden, herkömmlichen Bauelementen mit Einzel- bzw. „single ended“ - Taktsignal - d.h. die Datenrate ist höher, insbesondere doppelt so hoch, wie bei entsprechenden, herkömmlichen Bauelementen.

DDR-Bauelemente weisen z.B. zwei - externe - Taktanschlüsse auf, an denen - von einem externen Taktgeber - entsprechende differentielle Taktsignale clk, bclk angelegt, und - direkt - an entsprechende Eingänge einer Takt-Receiver-Schaltung weitergeleitet werden.

Herkömmliche Takt-Receiver-Schaltungsanordnungen weisen z.B. vier Transistoren auf, z.B. einen ersten und einen zweiten p-

Kanal-Feldeffekttransistor (z.B. zwei p-Kanal-MOSFETs), sowie einen ersten und einen zweiten n-Kanal-Feldeffekttransistor (z.B. zwei n-Kanal-MOSFETs).

- 5 Die Source des ersten n-Kanal-Feldeffekttransistors kann über entsprechende Leitungen an eine - mit dem Massepotential verbundene - (Gleich- bzw. Konstant-) Strom-Quelle angeschlossen sein. Auf entsprechende Weise kann auch die Source des zweiten n-Kanal-Feldeffekttransistors über
10 entsprechende Leitungen an die - mit dem Massepotential verbundene - (Gleich- bzw. Konstant-) Strom-Quelle angeschlossen sein.

- Des weiteren kann das Gate des ersten n-Kanal-Feldeffekttransistors der Takt-Receiver-Schaltung z.B. mit
15 dem o.g. (ersten) Eingang der Schaltung verbunden sein (an dem z.B. das o.g. - erste - Taktsignal clk anliegt), und das Gate des zweiten n-Kanal-Feldeffekttransistors z.B. mit dem o.g. (zweiten) Eingang der Schaltung (an dem z.B. das o.g. zweite, zum ersten Taktsignal clk inverse Taktsignal bclk
20 anliegt).

- Der Drain des ersten n-Kanal-Feldeffekttransistors kann über eine entsprechende Leitung an das Gate des ersten und zweiten
25 p-Kanal-Feldeffekttransistors angeschlossen sein, und an den Drain des ersten p-Kanal-Feldeffekttransistors, sowie - über eine entsprechende Leitung - an einen (ersten) Ausgang der Takt-Receiver-Schaltung (an der ein (erstes) Ausgangs-Signal
30 bout abgegriffen werden kann).

- Auf entsprechende Weise kann der Drain des zweiten n-Kanal-Feldeffekttransistors an den Drain des zweiten p-Kanal-Feldeffekttransistors angeschlossen sein, sowie - über eine entsprechende, weitere Leitung - an einen (zweiten) Ausgang
35 der Takt-Receiver-Schaltung (an der ein (zweites) Ausgangs-Signal out abgegriffen werden kann).

Die Source des ersten und zweiten p-Kanal-Feldeffekttransistors kann jeweils an die entsprechende Versorgungsspannung vddq angeschlossen sein.

- 5 Das erste von der Takt-Receiver-Schaltung ausgegebene Ausgangs-Signal bout entspricht dem am (zweiten) Eingang der Takt-Receiver-Schaltung anliegenden Signal bclk, und das zweite von der Takt-Receiver-Schaltung ausgegebene Ausgangs-Signal out dem am (ersten) Eingang der Takt-Receiver-Schaltung anliegenden Signal clk (wobei - je nach Art des Zustandswechsels der Eingangs-Signale clk bzw. bclk (z.B. von „logisch hoch“, auf „logisch niedrig“, oder umgekehrt) - die durch die Takt-Receiver-Schaltung hervorgerufenen Verzögerungszeiten relativ stark unterschiedlich sein können).

Die von der Takt-Receiver-Schaltung ausgegebenen Ausgangs-Signale out, bout können an weitere, im Halbleiter-Bauelement vorgesehene Schaltungen weitergeleitet, und dort z.B. zur zeitlichen Koordination der Verarbeitung bzw. Weiterschaltung von Daten, d.h. als differentielle Takt-Signale out, bout verwendet werden.

25 Die Erfindung hat zur Aufgabe, eine neuartige Receiver-, insbesondere Takt- Receiver-Schaltungsanordnung zur Verfügung zu stellen, sowie ein Halbleiter-Bauelement mit einer derartigen Schaltungsanordnung.

30 Sie erreicht dieses und weitere Ziele durch den Gegenstand der Ansprüche 1 und 9.

Vorteilhafte Weiterbildungen der Erfindung sind in den 35 Unteransprüchen angegeben.

Gemäß einem Grundgedanken der Erfindung wird eine Receiver-, insbesondere Takt-Receiver-Schaltungsanordnung bereitgestellt, mit einem an einen ersten Anschluß eines Halbleiter-Bauelements anschließbaren ersten Eingang, und
5 einem an einen zweiten Anschluß des Halbleiter-Bauelements anschließbaren zweiten Eingang,

d a d u r c h g e k e n n z e i c h n e t, daß die Receiver-Schaltungsanordnung mehrere, insbesondere mehr als drei, z.B. vier Transferelemente aufweist.

10

Besonders vorteilhaft werden jeweils an ein- und dieselbe Ausgangs-Leitung angeschlossene Transferelemente jeweils mit unterschiedlichen, komplementären - an den o.g. Eingängen anliegenden - Eingangssignalen angesteuert.

15

Dadurch wird erreicht, daß jedes Mal dann, wenn ein entsprechendes, erstes Transferelement „eingeschaltet“ ist, ein diesem Transferelement zugeordnetes - an dieselbe Ausgangs-Leitung angeschlossenes -, komplementäres, zweites
20 Transferelement „ausgeschaltet“ ist (und umgekehrt), und entsprechend, daß jedes Mal dann, wenn ein entsprechendes, drittes Transferelement „ausgeschaltet“ ist, ein diesem Transferelement zugeordnetes - an dieselbe Ausgangs-Leitung angeschlossenes -, komplementäres, viertes Transferelement
25 „eingeschaltet“ ist (und umgekehrt).

Im folgenden wird die Erfindung anhand eines Ausführungsbeispiels und der beigefügten Zeichnung näher
30 erläutert. In der Zeichnung zeigt:

Figur 1 eine schematische Darstellung einer Receiver-, insbesondere Takt-Receiver-Schaltungsanordnung gemäß einem Ausführungsbeispiel der vorliegenden Erfindung;

35

Figur 2 eine schematische Darstellung des zeitlichen Verlaufs der an der Takt-Receiver-Schaltungsanordnung gemäß

Figur 1 anliegenden Eingangs-Taktsignale (clk; bclk), und der von der Takt-Receiver-Schaltungsanordnung ausgegebenen Ausgangssignale (out; bout); und

- 5 Figur 3 eine schematische Darstellung einer Receiver-, insbesondere Takt-Receiver-Schaltungsanordnung gemäß einem weiteren Ausführungsbeispiel der vorliegenden Erfindung.

10 In Figur 1 ist eine schematische Darstellung einer Receiver-, insbesondere Takt-Receiver-Schaltungsanordnung 1 gemäß einem Ausführungsbeispiel der vorliegenden Erfindung gezeigt.

15 Die Schaltungsanordnung 1 kann z.B. in ein Halbleiter-Bauelement eingebaut sein, z.B. in ein - auf CMOS-Technologie beruhendes - DRAM-Speicherbauelement (DRAM = Dynamic Random Access Memory bzw. dynamischer Schreib-Lese-Speicher).

20 Beim DRAM-Speicherbauelement kann es sich z.B. um ein DDR-DRAM (DDR-DRAM = Double Data Rate - DRAM bzw. DRAM mit doppelter Datenrate) handeln.

25 Dieses weist zwei Eingangs-Taktanschlüsse 3a, 3b (z.B. entsprechende, mit entsprechenden Pins verbundene Bauelement-Pads) auf, wobei an den ersten Taktanschluß 3a ein - von einem externen Taktsignal-Geber, d.h. von außen her stammendes - erstes Taktsignal clk angelegt wird, und an den zweiten Taktanschluß 3b - ebenfalls durch den externen Taktsignal-Geber - ein zweites Taktsignal bclk.

30 Bei den beiden Taktsignalen clk und bclk kann es sich z.B. - wie in Figur 2 veranschaulicht ist - um sog. differentielle, d.h. gegengleich-inverse Taktsignale handeln: Immer dann, wenn z.B. das erste Taktsignal clk von einem Zustand „logisch hoch“ auf einen Zustand „logisch niedrig“ wechselt, wechselt
35 das zweite Taktsignal bclk - im wesentlichen gleichzeitig - seinen Zustand von „logisch niedrig“ auf „logisch hoch“.

Umgekehrt wechselt immer dann, wenn das erste Taktsignal clk von einem Zustand „logisch niedrig“ auf einen Zustand „logisch hoch“ wechselt (in Figur 2 z.B. zum Zeitpunkt t1), das zweite Taktsignal bclk – im wesentlichen gleichzeitig (d.h. in Figur 2 z.B. – ebenfalls – zum Zeitpunkt t1) – seinen Zustand von „logisch hoch“ auf „logisch niedrig“.

Die o.g. (- gegenüber herkömmlichen, nur ein einzelnes (single ended) Taktsignal CLK verwendenden Bauelementen -) doppelte Datenrate wird im DDR-Bauelement dadurch erreicht, dass die jeweiligen Daten – innerhalb des DDR-Bauelements – nicht nur z.B. jeweils bei der ansteigenden (oder alternativ bei der abfallenden) Taktflanke eines einzelnen (single ended) Taktsignals weitergeschaltet werden, sondern sowohl bei der ansteigenden Flanke des ersten Taktsignals clk, als auch bei der ansteigenden Flanke des zweiten Taktsignals bclk (bzw. sowohl bei der abfallenden Flanke des ersten Taktsignals clk, als auch bei der abfallenden Flanke des zweiten Taktsignals bclk) (bzw. bei entsprechenden Flanken hieraus gewonnener Signale out, bout bzw. out', bout' (s.u.)) – d.h. doppelt so häufig, wie bei herkömmlichen Bauelementen mit einem einzelnen (single ended) Taktsignal CLK.

Wie in Figur 1 gezeigt ist, weist die Takt-Receiver-Schaltungsanordnung 1 vier Transfergates bzw. Transmisionsgates 4, 5, 6, 7 auf.

Jedes Transfergate 4, 5, 6, 7 weist – entsprechend wie herkömmliche Transfergates – jeweils einen (ersten) Steuereingang, und einen (zweiten, inversen) Steuereingang auf.

Die Transfergates 4, 5, 6, 7 können z.B. – entsprechend wie bei herkömmliche Transfergates – jeweils einen n- und einen p-Kanal-MOSFET aufweisen, wobei das Gate des n-Kanal-MOSFETS z.B. jeweils mit dem ersten Steuereingang des jeweiligen Transfergates 4, 5, 6, 7, und das Gate des p-Kanal-MOSFETS

z.B. jeweils mit dem zweiten (inversen) Steuereingang des jeweiligen Transfergates 4, 5, 6, 7 verbunden sein kann (oder umgekehrt).

- 5 Des weiteren sind bei den Transfergates 4, 5, 6, 7 -
entsprechend wie bei herkömmliche Transfergates - z.B.
jeweils die Source des n- und die Source des p-Kanal-MOSFETs
miteinander verbunden, und an einen entsprechenden (ersten)
Transfergate-Anschluß angeschlossen, und - entsprechend -
10 z.B. jeweils der Drain des n- und der Drain des p-Kanal-
MOSFETs miteinander verbunden, und an einen entsprechenden
(zweiten) Transfergate-Anschluß angeschlossen (oder
umgekehrt).
- 15 Wie aus Figur 1 hervorgeht, ist bei der Takt-Receiver-
Schaltungsanordnung 1 der Taktanschluss 3a - an dem, wie oben
erläutert, das Taktsignal clk anliegt - über eine Leitung 9a
mit dem zweiten (inversen) Steuereingang des Transfergates 5
verbunden (dem zweiten, inversen Steuereingang des
20 Transfergates 5 wird somit das o.g. - erste - Taktsignal clk
zugeführt).

- Die Leitung 9a ist über eine mit dieser verbundenen Leitung
9b an eine Leitung 9c angeschlossen, die mit dem ersten
25 (nicht-inversen) Steuereingang des Transfergates 7 verbunden
ist (dem ersten, nicht-inversen Steuereingang des
Transfergates 7 wird somit - ebenfalls - das o.g. - erste -
Taktsignal clk zugeführt).

- 30 Wie aus Figur 1 weiter hervorgeht, ist bei der Takt-Receiver-
Schaltungsanordnung 1 der Taktanschluss 3b - an dem, wie oben
erläutert, das zweite, inverse Taktsignal bclk anliegt - über
eine Leitung 8a mit dem zweiten (inversen) Steuereingang des
Transfergates 4 verbunden (dem zweiten, inversen
35 Steuereingang des Transfergates 4 wird somit das o.g. -
zweite - Taktsignal bclk zugeführt).

Die Leitung 8a ist über eine mit dieser verbundenen Leitung 8b an eine Leitung 8c angeschlossen, die mit dem ersten, nicht-inversen Steuereingang des Transfergates 6 verbunden ist (dem ersten, nicht-inversen Steuereingang des Transfergates 6 wird somit - ebenfalls - das o.g. zweite, inverse Taktsignal bclk zugeführt).

Des weiteren ist die Leitung 8a - an der, wie oben erläutert, das zweite, inverse Taktsignal bclk anliegt - über die mit dieser verbundenen Leitung 8b an eine Leitung 8d angeschlossen, die an eine weitere Leitung 8e angeschlossen ist, die mit dem ersten (nicht-inversen) Steuereingang des Transfergates 5 verbunden ist, und mit dem zweiten, inversen Steuereingang des Transfergates 7 (dem ersten, nicht-inversen Steuereingang des Transfergates 5, und dem zweiten, inversen Steuereingang des Transfergates 7 wird somit - ebenfalls - das o.g. zweite, inverse Taktsignal bclk zugeführt).

Wie in Figur 1 weiter gezeigt ist, ist die Leitung 9a - an der, wie oben erläutert, das erste Taktsignal clk anliegt - über die mit dieser verbundenen Leitung 9b an eine Leitung 9d angeschlossen, die an eine weitere Leitung 9e angeschlossen ist, die mit dem zweiten, inversen Steuereingang des Transfergates 6 verbunden ist, und mit dem ersten, nicht-inversen Steuereingang des Transfergates 4 (dem zweiten, inversen Steuereingang des Transfergates 6, und dem ersten, nicht-inversen Steuereingang des Transfergates 4 wird somit - ebenfalls - das o.g., erste Taktsignal clk zugeführt).

Gemäß Figur 1 ist - über eine Leitung 10a - jeweils der erste (oder der zweite) Transfergate-Anschluß des Transfergates 4 an den - inversen - zweiten (oder ersten) Transfergate-Anschluß des Transfergates 5 angeschlossen.

Entsprechend ist - über eine Leitung 10b - jeweils der erste (oder der zweite) Transfergate-Anschluß des Transfergates 6

an den - inversen - zweiten (oder ersten) Transfergate-Anschluß des Transfergates 7 angeschlossen.

Die Leitung 10b, an der das entsprechende, an den
5 entsprechenden Transfergateanschlüssen der Transfergates 6, 7
ausgegebene Signal abgegriffen werden kann, ist mit einer
Ausgangs-Leitung 11a verbunden, an der das erste - und wie in
Figur 2 dargestellt, und wie im folgenden noch genauer
erläutert wird, dem ersten Taktsignal clk entsprechende -
10 Ausgangssignal der Takt-Receiver-Schaltungsanordnung
abgegriffen werden kann (erstes Ausgangssignal out).

Auf entsprechende Weise ist auch die Leitung 10a, an der das
entsprechende, an den entsprechenden Transfergateanschlüssen
15 der Transfergates 4, 5 ausgegebene Signal abgegriffen werden
kann, mit einer (weiteren) Ausgangs-Leitung 11b verbunden, an
der das zweite - und wie in Figur 2 dargestellt, und wie im
folgenden noch genauer erläutert wird, dem zweiten Taktsignal
bclk entsprechende - Ausgangssignal der Takt-Receiver-
20 Schaltungsanordnung abgegriffen werden kann (zweites
Ausgangssignal bout).

Wie in Figur 1 weiter gezeigt ist, ist - über eine Leitung 12
- der weitere (zweite (oder erste)) Transfergate-Anschluß des
25 Transfergates 4 an die Versorgungsspannung vddq angeschlossen
(die z.B. zwischen 2,5 V und 3,5 V, insbesondere z.B. 2,5 V
oder 2,9 V betragen kann).

Des weiteren ist der weitere - inverse - (erste (oder
30 zweite)) Transfergate-Anschluß des Transfergates 5 an das
Massepotential angeschlossen.

Entsprechend ähnlich wie beim Transfergate 4 ist auch beim
Transfergate 6 - über eine Leitung 14 - der weitere (zweite
35 (oder erste)) Transfergate-Anschluß an die o.g.
Versorgungsspannung vddq angeschlossen.

Des weiteren ist - entsprechend ähnlich wie beim Transfergate 5 - auch beim Transfergate 7 der weitere - inverse - (erste (oder zweite)) Transfergate-Anschluß an das Massepotential angeschlossen.

5

Der Spannungspegel des ersten und zweiten Ausgangssignals out, bout (im jeweils „logisch hohen“ Zustand) kann z.B. ca. die Hälfte des Spannungspegels der o.g. Versorgungsspannung vddq betragen, z.B. zwischen 1,25 V und 1,75 V, insbesondere
10 z.B. 1,25 V oder 1,45 V.

Liegt z.B. - wie in Figur 2 dargestellt z.B. in einer ersten Taktphase, d.h. hier bis zu einem Zeitpunkt t1 (und insbesondere bei der o.g. Alternative) - am ersten
15 Taktanschluss 3a ein „logisch niedriges“ erstes Taktsignal clk an (und damit auch - über die Leitung 9c - am ersten, nicht-inversen Steuereingang des Transfergates 7, - über die Leitung 9e - am ersten, nicht-inversen Steuereingang des Transfergates 6, - über die Leitung 9e - am zweiten, inversen
20 Steuereingang des Transfergates 4, und - über die Leitung 9a - am zweiten, inversen Steuereingang des Transfergates 5 ein entsprechendes, „logisch niedriges“ Signal), und liegt - in der gleichen Taktphase - am zweiten Taktanschluß 3b ein „logisch hohes“ zweites Taktsignal bclk an (und damit auch -
25 über die Leitung 8e - am zweiten, inversen Steuereingang des Transfergates 7, - über die Leitung 8c - am zweiten, inversen Steuereingang des Transfergates 6, - über die Leitung 8a - am ersten, nicht-inversen Steuereingang des Transfergates 4, und - über die Leitung 8e - am ersten, nicht-inversen
30 Steuereingang des Transfergates 5 ein entsprechendes, „logisch hohes“ Signal), wird das Transfergate 4 ausgeschaltet (d.h. die beiden - an die Leitung 12 bzw. 10a angeschlossenen - Anschlüsse des Transfergates 4 - relativ hochohmig - elektrisch voneinander getrennt), das
35 Transfergate 5 ein- bzw. durchgeschaltet (d.h. die beiden - an die Leitung 10a bzw. 13 angeschlossenen - Transfergate-Anschlüsse des Transfergates 5 - relativ niederohmig -

- elektrisch miteinander verbunden), das Transfergate 7 ausgeschaltet (d.h. die beiden - an die Leitung 10b bzw. 15 angeschlossenen - Anschlüsse des Transfergates 7 - relativ hochohmig - elektrisch voneinander getrennt), und das
- 5 Transfergate 6 ein- bzw. durchgeschaltet (d.h. beiden - an die Leitung 14 bzw. 10b angeschlossenen - Transfergate-Anschlüsse des Transfergates 6 - relativ niederohmig - elektrisch miteinander verbunden).
- 10 Die Ausgangs-Leitung 11b der Takt-Receiver-Schaltungsanordnung 1 ist somit - relativ niederohmig - elektrisch mit dem an der Leitung 13 anliegenden Massepotential verbunden, und - relativ hochohmig - elektrisch von der - mit der Versorgungsspannung vddq
- 15 verbundenen - Leitung 12 getrennt; das an der Ausgangs-Leitung 11b ausgegebene Takt-Signal bout ist somit - entsprechend wie das zweite Eingangs-Taktsignal bclk, und wie in Figur 2 gezeigt - „logisch hoch“.
- 20 Des weiteren ist die Ausgangs-Leitung 11a der Takt-Receiver-Schaltungsanordnung 1 - relativ niederohmig - elektrisch mit der an der Leitung 14 anliegenden Versorgungsspannung vddq verbunden, und - relativ hochohmig - elektrisch von der - mit dem Massepotential verbundenen - Leitung 15 getrennt; das an
- 25 der Ausgangs-Leitung 11a ausgegebene Takt-Signal out ist somit - entsprechend wie das erste Eingangs-Taktsignal clk, und wie in Figur 2 gezeigt - „logisch niedrig“.
- Wechselt - wie in Figur 2 dargestellt z.B. zu Beginn einer
- 30 auf die erste Taktphase folgenden zweiten Taktphase, d.h. hier zu einem Zeitpunkt t1 (und insbesondere bei der o.g. Alternative) - das am ersten Taktanschluss 3a anliegende erste Taktsignal clk seinen Zustand auf „logisch hoch“ (und wechselt damit auch das entsprechende, am ersten, nicht-
- 35 inversen Steuereingang des Transfergates 7, am ersten, nicht-inversen Steuereingang des Transfergates 6, am zweiten, inversen Steuereingang des Transfergates 4, und am zweiten,

inversen Steuereingang des Transfergates 5 anliegende Signal seinen Zustand auf „logisch hoch“), und wechselt - im wesentlichen gleichzeitig (hier: zum Zeitpunkt t1) das am zweiten Taktanschluß 3b anliegende zweite Taktsignal bclk

5 seinen Zustand auf „logisch niedrig“ (und wechselt damit auch das entsprechende, am zweiten, inversen Steuereingang des Transfergates 7, am zweiten, inversen Steuereingang des Transfergates 6, am ersten, nicht-inversen Steuereingang des Transfergates 4, und am ersten, nicht-inversen Steuereingang

10 des Transfergates 5 anliegende Signal seinen Zustand auf „logisch niedrig“), wird das Transfergate 4 ein- bzw. durchgeschaltet (d.h. die beiden - an die Leitung 12 bzw. 10a angeschlossenen - Anschlüsse des Transfergates 4 - relativ niederohmig - elektrisch miteinander verbunden), das

15 Transfergate 5 ausgeschaltet (d.h. beiden - an die Leitung 10a bzw. 13 angeschlossenen - Transfergate-Anschlüsse des Transfergates 5 - relativ hochohmig - elektrisch voneinander getrennt), das Transfergate 7 ein- bzw. durchgeschaltet (d.h. die beiden - an die Leitung 10b bzw. 15 angeschlossenen -

20 Anschlüsse des Transfergates 7 - relativ niederohmig - elektrisch miteinander verbunden), und das Transfergate 6 ausgeschaltet (d.h. beiden - an die Leitung 14 bzw. 10b angeschlossenen - Transfergate-Anschlüsse des Transfergates 6 - relativ hochohmig - elektrisch voneinander getrennt).

25

Die Ausgangs-Leitung 11b der Takt-Receiver-Schaltungsanordnung 1 wird somit - relativ hochohmig - elektrisch von dem an der Leitung 13 anliegenden Massepotential getrennt, und - relativ niederohmig -

30 elektrisch mit der mit der Versorgungsspannung vddq verbundenen Leitung 12 verbunden; das an der Ausgangs-Leitung 11b ausgegebene Takt-Signal bout wechselt somit - entsprechend wie das zweite Eingangs-Taktsignal bclk, und wie in Figur 2 gezeigt diesem gegenüber mit einer bestimmten

35 Schalt-Verzögerungszeit Δt behaftet zu einem Zeitpunkt t2 - seinen Zustand auf „logisch niedrig“.

Des weiteren wird die Ausgangs-Leitung 11a der Takt-Receiver-Schaltungsanordnung 1 - relativ hochohmig - elektrisch von der an der Leitung 14 anliegenden Versorgungsspannung vddq getrennt, und - relativ niederohmig - elektrisch mit der -
5 mit dem Massepotential verbundenen - Leitung 15 verbunden; das an der Ausgangs-Leitung 11a ausgegebene Takt-Signal out wechselt somit - entsprechend wie das erste Eingangs-Taktsignal clk, und wie in Figur 2 gezeigt diesem gegenüber mit einer bestimmten Schalt-Verzögerungszeit Δt behaftet
10 (die im wesentlichen der o.g. Schalt-Verzögerungszeit Δt des Takt-Signals bout entspricht) zu einem Zeitpunkt t2 (d.h. zum im wesentlichen demselben Zeitpunkt t2, wie das Takt-Signal bout) - seinen Zustand auf „logisch hoch“.

15 Die an den Ausgangs-Leitungen 11a, 11b ausgegebenen, aus den Eingangs-Taktsignalen clk, bclk gewonnenen Ausgangssignale (differentielle Takt-Signale out, bout) können dann an weitere, im Halbleiter-Bauelement vorgesehene Schaltungen weitergeleitet, und dort z.B. zur zeitlichen Koordination der
20 Verarbeitung bzw. Weiterschaltung von Daten verwendet werden.

Bei der in Figur 1 gezeigten (Takt-) Receiver-Schaltungsanordnung 1 wird die Tatsache zu Nutze gemacht, dass die Transfergates 4, 5, 6, 7 - zwischen entsprechenden
25 Transfergate-Anschlüssen - einen jeweils variabel einstellbaren ohmschen Widerstand aufweisen, mit einem von den an den jeweiligen Steuereingängen anliegenden Steuersignalen abhängigen Widerstandswert.

30 Bei einem alternativen, in Figur 3 gezeigten Ausführungsbeispiel der Erfindung können - bei einer entsprechend ähnlich, wie die in Figur 1 gezeigte Takt-Receiver-Schaltungsanordnung aufgebauten Takt-Receiver-Schaltungsanordnung 1 - die an den Ausgangs-Leitungen 11a,
35 11b ausgegebenen, aus den Eingangs-Taktsignalen clk, bclk gewonnenen Ausgangssignale (differentielle Takt-Signale out, bout) zum „Boosten“ einer - entsprechend ähnlich wie

herkömmliche Receiver-, insbesondere Takt-Receiver-Schaltungen aufgebauten - Schaltung 2 verwendet werden.

Wie aus Figur 3 hervorgeht, ist die dort gezeigte Takt-Receiver-Schaltungsanordnung 1 identisch wie die in Figur 1 gezeigte Takt-Receiver-Schaltungsanordnung 1 aufgebaut, außer dass das am ersten Taktanschluss 3a des entsprechenden Halbleiter-Bauelements anliegende, erste Taktsignal clk dem zweiten, inversen Steuereingang des Transfergates 6, und dem ersten, nicht-inversen Steuereingang des Transfergates 4 nicht über die in Figur 1 gezeigten Leitungen 9d, 9e zugeführt wird, sondern - dem Steuereingang des Transfergates 4 - über eine - z.B. an die Leitung 9b angeschlossene - separate Leitung 9d', und - dem Steuereingang des Transfergates 6 - über eine - z.B. ebenfalls an die Leitung 9b angeschlossene - separate Leitung 9d'', und dass das am zweiten Taktanschluss 3b des entsprechenden Halbleiter-Bauelements anliegende, zweite Taktsignal bclk dem ersten, nicht-inversen Steuereingang des Transfergates 5, und dem zweiten, inversen Steuereingang des Transfergates 7 nicht über die in Figur 1 gezeigten Leitungen 8d, 8e zugeführt wird, sondern - dem Steuereingang des Transfergates 5 - über eine - z.B. an die Leitung 8b angeschlossene - separate Leitung 8d', und - dem Steuereingang des Transfergates 7 - über eine - z.B. ebenfalls an die Leitung 8b angeschlossene - separate Leitung 8d''.

Im übrigen wird - entsprechend wie bei dem in Figur 1 gezeigten Ausführungsbeispiel - bei der Takt-Receiver-Schaltungsanordnung 1 gemäß Figur 3 das am ersten Taktanschluss 3a anliegende, erste Taktsignal clk (zusätzlich) dem zweiten, inversen Steuereingang des Transfergates 5 zugeführt (und zwar über die Leitung 9a), und dem ersten, nicht-inversen Steuereingang des Transfergates 7 (und zwar über die Leitung 9a, und die mit dieser verbundenen Leitungen 9b, 9c).

Des weiteren wird - ebenfalls entsprechend wie bei dem in Figur 1 gezeigten Ausführungsbeispiel - bei der Takt-Receiver-Schaltungsanordnung 1 gemäß Figur 3 das am zweiten Taktanschluss 3b anliegende, zweite Taktsignal bclk

5 (zusätzlich auch) dem zweiten, inversen Steuereingang des Transfergates 4 zugeführt (und zwar über die Leitung 8a), und dem ersten, nicht-inversen Steuereingang des Transfergates 6 (und zwar über die Leitung 8a, und die mit dieser verbundenen Leitungen 8b, 8c).

10

Wie aus Figur 3 hervorgeht, ist die Schaltung 2 entsprechend ähnlich wie entsprechende herkömmliche Takt-Receiver-Schaltungen aufgebaut, außer dass die Eingänge 11c, 11d der Schaltung 2 nicht - wie sonst üblich - direkt an die
15 entsprechenden Taktanschlüsse 3a, 3b des Halbleiter-Bauelements angeschlossen sind (z.B. der Eingang 11c an den Taktanschluss 3b (oder 3a), und der Eingang 11d an den Taktanschluss 3a (oder 3b)), sondern der Eingang 11c an die Ausgangs-Leitung 11b der Takt-Receiver-Schaltungsanordnung 1
20 (an der, wie oben erläutert, von der Takt-Receiver-Schaltungsanordnung 1 das dem Eingangs-Taktsignal bclk entsprechende (Takt-)Signal bout ausgegeben wird), und der Eingang 11d an die Ausgangs-Leitung 11a der Takt-Receiver-Schaltungsanordnung 1 (an der, wie oben erläutert, von der
25 Takt-Receiver-Schaltungsanordnung 1 das dem Eingangs-Taktsignal clk entsprechende (Takt-)Signal out ausgegeben wird).

Die Schaltung 2 weist - entsprechend ähnlich wie
30 entsprechende herkömmliche Takt-Receiver-Schaltungen - vier Transistoren 104a, 104b, 105a, 105b auf, und zwar einen ersten und einen zweiten p-Kanal-Feldeffekttransistor 104a, 104b (hier: zwei p-Kanal-MOSFETs 104a, 104b), sowie einen ersten und einen zweiten n-Kanal-Feldeffekttransistor 105a, 105b (hier: zwei n-Kanal-MOSFETs 105a, 105b).

35

Die Source des ersten n-Kanal-Feldeffekttransistors 105a ist über eine Leitung 115a, und eine Leitung 115c an eine (Gleich- bzw. Konstant-) Strom-Quelle 116 angeschlossen, die - über eine Leitung 117 - mit dem Massepotential verbunden ist. Auf entsprechende Weise ist auch die Source des zweiten n-Kanal-Feldeffekttransistors 105b über eine Leitung 115b, und die o.g. Leitung 115c an die - mit dem Massepotential verbundene - (Gleich- bzw. Konstant-) Strom-Quelle 116 angeschlossen.

10

Des weiteren ist das Gate des ersten n-Kanal-Feldeffekttransistors 105a mit dem o.g. (ersten) Eingang 11c der Schaltung 2 verbunden, und das Gate des zweiten n-Kanal-Feldeffekttransistors 105b mit dem o.g. (zweiten) Eingang 11d der Schaltung 2.

15

Der Drain des ersten n-Kanal-Feldeffekttransistors 105a ist über eine Leitung 109 an das Gate des ersten und zweiten p-Kanal-Feldeffekttransistors 104a, 104b angeschlossen, und an den Drain des ersten p-Kanal-Feldeffekttransistors 104a, sowie - über eine Leitung 107a - an einen (ersten) Ausgang der Schaltung 2 (an der ein (erstes) Ausgangs-Signal bout' abgegriffen werden kann).

20

Auf entsprechende Weise ist der Drain des zweiten n-Kanal-Feldeffekttransistors 105b an den Drain des zweiten p-Kanal-Feldeffekttransistors 104b angeschlossen, sowie - über eine Leitung 107b - an einen (zweiten) Ausgang der Schaltung 2 (an der ein (zweites) Ausgangs-Signal out' abgegriffen werden kann).

25

30

Die Source des ersten und zweiten p-Kanal-Feldeffekttransistors 104a, 104b ist - über eine Leitung 110 - jeweils an die o.g. Versorgungsspannung vddq angeschlossen.

35

Das erste - an der Leitung 107a ausgegebene - Ausgangs-Signal bout' der Schaltung 2 entspricht dem am Eingang 11d der

Schaltung 2 anliegenden Signal out (bzw. dem Signal bout), bzw. dem am Taktanschluss 3a anliegenden Signal clk (bzw. dem am Taktanschluss 3b anliegenden Signal bclk).

- 5 Das zweite - an der Leitung 107b ausgegebene - Ausgangs-Signal out' der Schaltung 2 entspricht dem am Eingang 11c der Schaltung 2 anliegenden Signal bout (bzw. dem Signal out), bzw. dem am Taktanschluss 3b anliegenden Signal bclk (bzw. dem am Taktanschluss 3a anliegenden Signal clk).

10

Die an den Leitungen 107a, 107b ausgegebenen, aus den Eingangs-Taktsignalen clk, bclk gewonnenen Ausgangssignale out', bout' können an weitere, im Halbleiter-Bauelement vorgesehene Schaltungen weitergeleitet, und dort z.B. zur

- 15 zeitlichen Koordination der Verarbeitung bzw. Weiterschaltung von Daten, d.h. als differentielle Takt-Signale out', bout' verwendet werden.

20

25

Bezugszeichen

	1	Takt-Receiver-Schaltungsanordnung
	2	Schaltung
5	3a	Taktanschluss
	3b	Taktanschluss
	4	Transfergate
	5	Transfergate
	6	Transfergate
10	7	Transfergate
	8a	Leitung
	8b	Leitung
	8c	Leitung
	8d	Leitung
15	8d'	Leitung
	8d''	Leitung
	8e	Leitung
	9a	Leitung
	9b	Leitung
20	9c	Leitung
	9d	Leitung
	9d'	Leitung
	9d''	Leitung
	9e	Leitung
25	10a	Leitung
	10b	Leitung
	11a	Ausgangs-Leitung
	11b	Ausgangs-Leitung
	11c	Eingang
30	11d	Eingang
	12	Leitung
	13	Leitung
	14	Leitung
	15	Leitung
35	104a	Transistor
	104b	Transistor
	105a	Transistor

	105b	Transistor
	107a	Leitung
	107b	Leitung
	110	Leitung
5	115a	Leitung
	115b	Leitung
	115c	Leitung
	116	Strom-Quelle
	117	Leitung

Patentansprüche

1. Receiver-, insbesondere Takt-Receiver-Schaltungsanordnung (1) mit einem an einen ersten Anschluß
5 (3a) eines Halbleiter-Bauelements anschließbaren ersten Eingang (9a), und einem an einen zweiten Anschluß (3b) des Halbleiter-Bauelements anschließbaren zweiten Eingang (8a),
d a d u r c h g e k e n n z e i c h n e t, daß die Receiver-Schaltungsanordnung (1) mehrere, insbesondere mehr
10 als drei Transfergates (4, 5, 6, 7) aufweist.
2. Receiver-Schaltungsanordnung (1) nach Anspruch 1, welche vier Transfergates (4, 5, 6, 7) aufweist.
- 15 3. Receiver-Schaltungsanordnung (1) nach Anspruch 1 oder 2, bei welcher bei einem ersten Transfergate (5) ein entsprechender erster Transfergate-Steuereingang an den zweiten Eingang (8a) der Receiver-Schaltungsanordnung (1) angeschlossen ist, und ein entsprechender, zweiter, zum
20 ersten Steuereingang inverser Transfergate-Steuereingang an den ersten Eingang (9a) der Receiver-Schaltungsanordnung (1).
4. Receiver-Schaltungsanordnung (1) nach Anspruch 3, bei welcher bei einem zweiten - mit dem ersten Transfergate (5) verbundenen - Transfergate (4) ein entsprechender erster
25 Transfergate-Steuereingang an den ersten Eingang (9a) der Receiver-Schaltungsanordnung (1) angeschlossen ist, und ein entsprechender, zweiter, zum ersten Steuereingang inverser Transfergate-Steuereingang an den zweiten Eingang (8a) der
30 Receiver-Schaltungsanordnung (1).
5. Receiver-Schaltungsanordnung (1) nach einem der vorhergehenden Ansprüche, bei welcher bei einem dritten Transfergate (7) ein entsprechender erster Transfergate-
35 Steuereingang an den ersten Eingang (9a) der Receiver-Schaltungsanordnung (1) angeschlossen ist, und ein entsprechender, zweiter, zum ersten Steuereingang inverser

Transfergate-Steuereingang an den zweiten Eingang (8a) der Receiver-Schaltungsanordnung (1).

6. Receiver-Schaltungsanordnung (1) nach Anspruch 5, bei
5 welcher bei einem vierten - mit dem dritten Transfergate (7) verbundenen - Transfergate (6) ein entsprechender erster Transfergate-Steuereingang an den zweiten Eingang (8a) der Receiver-Schaltungsanordnung (1) angeschlossen ist, und ein
entsprechender, zweiter, zum ersten Steuereingang inverser
10 Transfergate-Steuereingang an den ersten Eingang (9a) der Receiver-Schaltungsanordnung (1).

7. Receiver-Schaltungsanordnung (1) nach einem der vorhergehenden Ansprüche, bei welcher an den ersten und
15 zweiten Eingängen (9a, 8a) differentielle Taktsignale (clk, bclk) anliegen.

8. Receiver-Schaltungsanordnung (1) nach einem der Ansprüche 4 bis 7, bei welchem das - zwischen dem ersten und
20 zweiten Transfergate (4, 5) abgreifbare - Signal (bout), und/oder das - zwischen dem dritten und vierten Transfergate (7, 6) abgreifbare - Signal (out) - zum Boosten einer Takt-Weiterleitungs-Schaltung (2) verwendet werden.

25 9. Takt-Receiver-Schaltungsanordnung (1) mit einem ersten Takt-Eingang (9a) zum Empfang eines ersten Taktsignals (clk), und einem zweiten Takt-Eingang (8a) zum Empfang eines zweiten, zum ersten Taktsignal (clk) gegengleich-inversen Taktsignals (bclk)
30 - wobei bei einem ersten Transfergate (5) ein entsprechender erster Transfergate-Steueranschluß an den zweiten Takt-Eingang (8a) der Takt-Receiver-Schaltungsanordnung (1) angeschlossen ist, und ein
entsprechender, zweiter, zum ersten Steueranschluß inverser
35 Transfergate-Steueranschluß an den ersten Takt-Eingang (9a) der Takt-Receiver-Schaltungsanordnung (1),

- und wobei bei einem zweiten Transfergate (4) ein entsprechender erster Transfergate-Steueranschluß an den ersten Takt-Eingang (9a) der Takt-Receiver-Schaltungsanordnung (1) angeschlossen ist, und ein
- 5 entsprechender, zweiter, zum ersten Steueranschluß inverser Transfergate-Steueranschluß an den zweiten Takt-Eingang (8a) der Takt-Receiver-Schaltungsanordnung (1),
- wobei entsprechende weitere Anschlüsse der Transfergates (4, 5) miteinander verbunden sind, und zur Ausgabe eines
- 10 Takt-Ausgabe-Signals (bout) - gemeinsam - an einen Takt-Ausgang (11b) angeschlossen sind.

10. Halbleiter-Bauelement, mit einer Receiver-, insbesondere Takt-Receiver-Schaltungsanordnung (1) nach einem der

15 Ansprüche 1 bis 9.

FIG 1

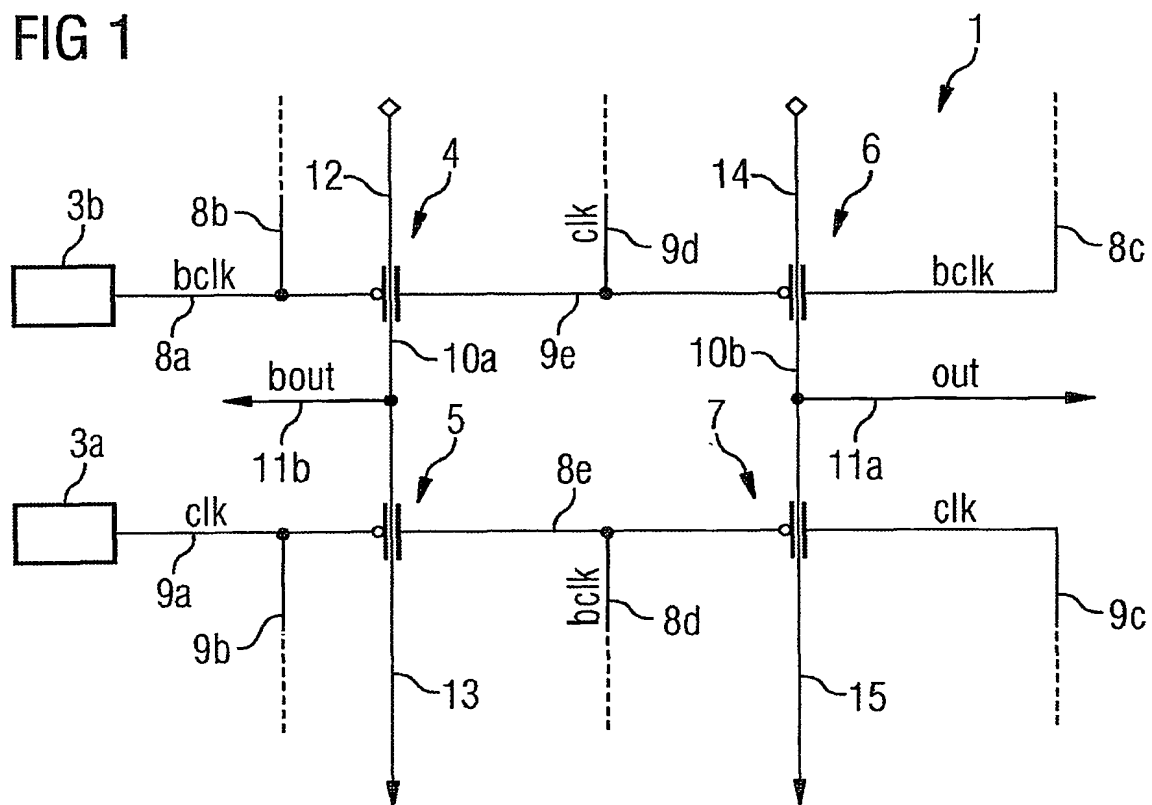
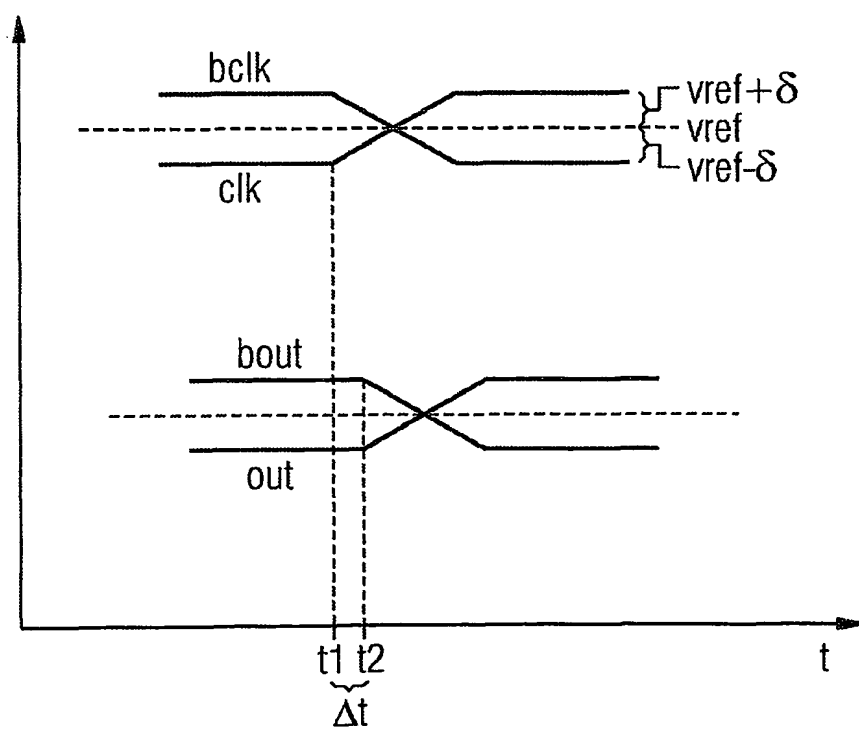


FIG 2



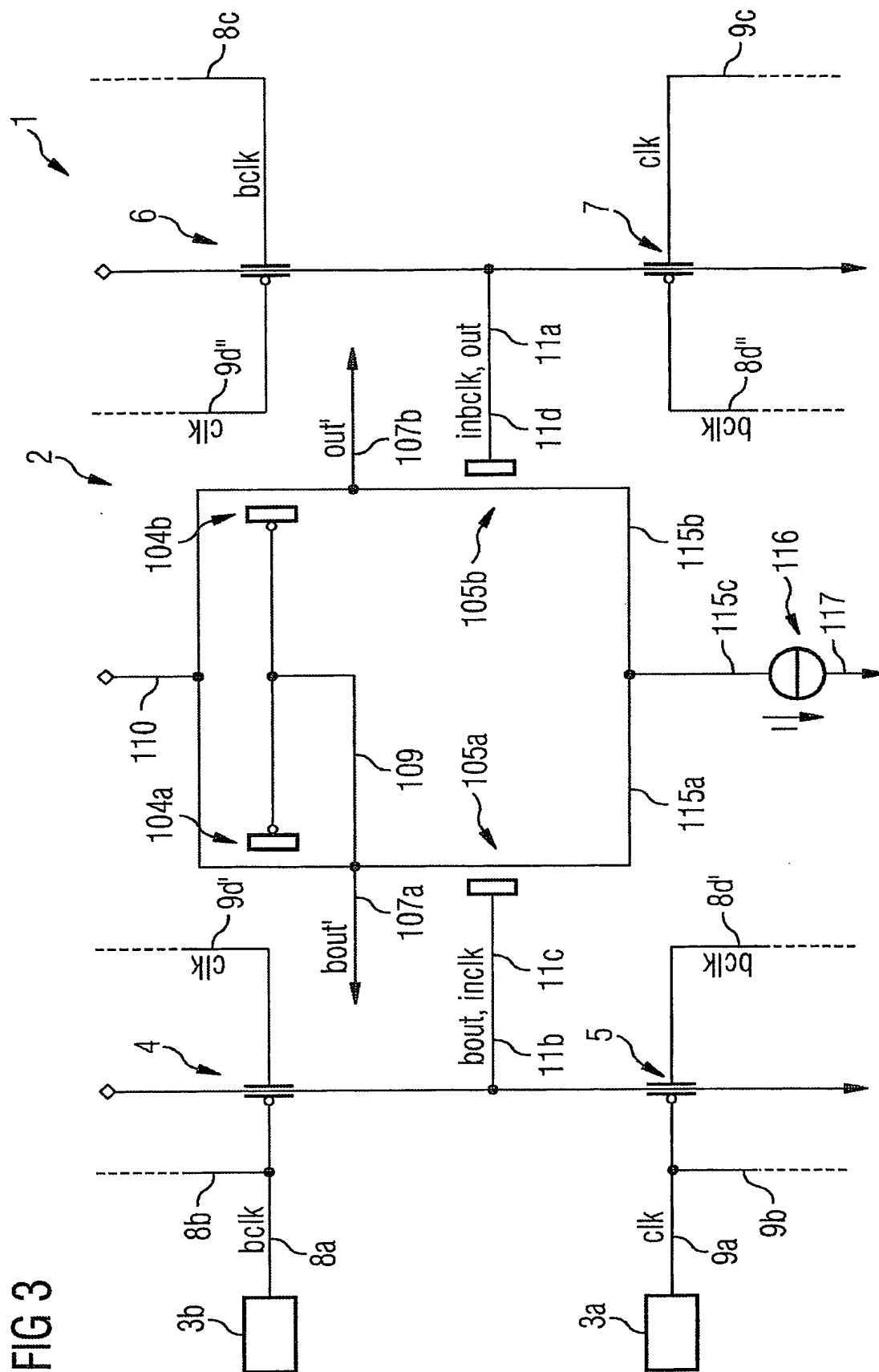


FIG 3

INTERNATIONAL SEARCH REPORT

International Application No
PCT/EP2004/052126

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 G11C7/22 G11C11/4076

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 7 G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, IBM-TDB, WPI Data, PAJ

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 6 292 042 B1 (KIM TAE HYUNG ET AL) 18 September 2001 (2001-09-18) column 3, line 23 - column 4, line 27; figure 3	1-10
X	US 5 852 378 A (KEETH BRENT) 22 December 1998 (1998-12-22) column 3, line 21 - column 6, line 15; figures 3-7	1-10
X	US 6 184 730 B1 (CHEN BAOHUA ET AL) 6 February 2001 (2001-02-06) column 5, line 8 - line 10; figure 3	1-8,10
X	US 2002/140481 A1 (DE VIVEK K ET AL) 3 October 2002 (2002-10-03) figure 3	1,10

☐ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents:

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- *G* document member of the same patent family

Date of the actual completion of the international search

9 December 2004

Date of mailing of the international search report

17/12/2004

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Harms, J

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/EP2004/052126

Patent document cited in search report		Publication date		Patent family member(s)		Publication date
US 6292042	B1	18-09-2001	KR	263485 B1		01-08-2000
US 5852378	A	22-12-1998	US	6069510 A		30-05-2000
			US	6026051 A		15-02-2000
			US	6256234 B1		03-07-2001
US 6184730	B1	06-02-2001	NONE			
US 2002140481	A1	03-10-2002	NONE			

INTERNATIONALES RESEARCHENBERICHT

Internationales Aktenzeichen

PCT/EP2004/052126

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 7 G11C7/22 G11C11/4076

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RESEARCHIERTE GEBIETE

Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

IPK 7 G11C

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der Internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, IBM-TDB, WPI Data, PAJ

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 6 292 042 B1 (KIM TAE HYUNG ET AL) 18. September 2001 (2001-09-18) Spalte 3, Zeile 23 - Spalte 4, Zeile 27; Abbildung 3	1-10
X	US 5 852 378 A (KEETH BRENT) 22. Dezember 1998 (1998-12-22) Spalte 3, Zeile 21 - Spalte 6, Zeile 15; Abbildungen 3-7	1-10
X	US 6 184 730 B1 (CHEN BAOHUA ET AL) 6. Februar 2001 (2001-02-06) Spalte 5, Zeile 8 - Zeile 10; Abbildung 3	1-8, 10
X	US 2002/140481 A1 (DE VIVEK K ET AL) 3. Oktober 2002 (2002-10-03) Abbildung 3	1, 10



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

A Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

E älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

L Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

O Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

P Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

Z Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der Internationalen Recherche

9. Dezember 2004

Absenddatum des Internationalen Recherchenberichts

17/12/2004

Name und Postanschrift der Internationalen Recherchenbehörde

Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Beauftragter

Harms, J

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2004/052126

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
US 6292042	B1	18-09-2001	KR	263485 B1	01-08-2000
US 5852378	A	22-12-1998	US	6069510 A	30-05-2000
			US	6026051 A	15-02-2000
			US	6256234 B1	03-07-2001
US 6184730	B1	06-02-2001	KEINE		
US 2002140481	A1	03-10-2002	KEINE		